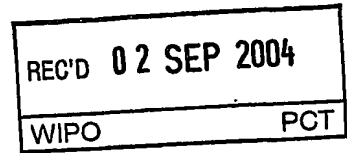


13. 7. 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 0 月 2 2 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 3 6 2 2 1 6  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 6 2 2 1 6 ]

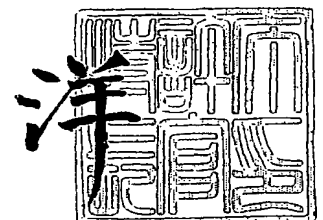
出 願 人                      三 洋 電 機 株 式 有 限 公 司  
Applicant(s):

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1 (a) OR (b)

2 0 0 4 年    8 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 NQB1030072  
【提出日】 平成15年10月22日  
【あて先】 特許庁長官殿  
【国際特許分類】 G06F 17/50  
H01L 21/82  
H01L 27/00

【発明者】  
【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内  
【氏名】 平松 達夫

【特許出願人】  
【識別番号】 000001889  
【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号  
【氏名又は名称】 三洋電機株式会社

【代理人】  
【識別番号】 100064746  
【弁理士】  
【氏名又は名称】 深見 久郎

【選任した代理人】  
【識別番号】 100085132  
【弁理士】  
【氏名又は名称】 森田 俊雄

【選任した代理人】  
【識別番号】 100083703  
【弁理士】  
【氏名又は名称】 仲村 義平

【選任した代理人】  
【識別番号】 100096781  
【弁理士】  
【氏名又は名称】 堀井 豊

【選任した代理人】  
【識別番号】 100098316  
【弁理士】  
【氏名又は名称】 野田 久登

【選任した代理人】  
【識別番号】 100109162  
【弁理士】  
【氏名又は名称】 酒井 将行

【手数料の表示】  
【予納台帳番号】 008693  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 0006995

**【書類名】 特許請求の範囲****【請求項 1】**

機能および接続関係の変更が可能なりコンフィギュラブル回路と、

所期の回路の一部分を構成する分割ユニットを表現するための設定データを記憶し、前記リコンフィギュラブル回路に供給するための設定部と、

前記リコンフィギュラブル回路に前記所期の回路を構成するために複数の設定データを順次供給するように前記設定部を制御する制御部とを備え、

前記リコンフィギュラブル回路は、内部の状態を保持する状態保持回路を少なくとも 1 つ有し、

前記リコンフィギュラブル回路は、前記状態保持回路の配置により、複数段のリコンフィギュラブルユニットに分割され、

前記制御部は、複数の所期の回路を構成する場合に、各回路の一部分を構成する分割ユニットを前記複数段のリコンフィギュラブルユニットのそれぞれに対して構成するための設定データを処理の流れに従って順番に供給するように前記設定部を制御する、処理装置。

**【請求項 2】**

前記リコンフィギュラブル回路は、N 個の状態保持回路の配置により (N+1) 段のリコンフィギュラブルユニットに分割され、

前記制御部は、

ある時点での第 i 番目の状態保持部と第 (i+1) 番目の状態保持部との間の前記リコンフィギュラブルユニットに対してある所期の回路を構成する分割ユニットの設定データを供給するように前記設定部を制御し、

次の時点での第 (i+1) 番目の状態保持部と第 (i+2) 番目の状態保持部との間の前記リコンフィギュラブルユニットに対して処理の流れに従って前記ある所期の回路を構成する次の分割ユニットの設定データを供給するように前記設定部を制御し、第 i 番目の状態保持部と、第 (i+1) 番目の状態保持部の間の前記リコンフィギュラブルユニットに対して、異なる所期の回路を構成する分割ユニットの設定データを供給するように前記設定部を制御する、請求項 1 記載の処理装置。

**【請求項 3】**

前記リコンフィギュラブル回路は、N 個の状態保持回路の配置により N 段のリコンフィギュラブルユニットに分割され、

前記制御部は、

ある時点での第 i 番目の状態保持部と第 (i+1) 番目の状態保持部との間の前記リコンフィギュラブルユニットに対してある所期の回路を構成する分割ユニットの設定データを供給するように前記設定部を制御し、

次の時点での第 (i+1) 番目の状態保持部と第 (i+2) 番目の状態保持部との間の前記リコンフィギュラブルユニットに対して処理の流れに従って前記ある所期の回路を構成する次の分割ユニットの設定データを供給するように前記設定部を制御し、第 i 番目の状態保持部と、第 (i+1) 番目の状態保持部の間の前記リコンフィギュラブルユニットに対して、異なる所期の回路を構成する分割ユニットの設定データを供給するように前記設定部を制御し、

第 N 番目の状態保持部から初段のリコンフィギュラブルユニットに入力するための経路部をさらに備える、請求項 1 記載の処理装置。

**【請求項 4】**

前記リコンフィギュラブルユニットは組合せ回路として構成される、請求項 1 に記載の処理装置。

**【請求項 5】**

前記リコンフィギュラブル回路の出力を受ける内部状態保持回路と、

前記内部状態保持回路に保持された出力信号を初段のリコンフィギュラブルユニットに入力するための経路部とをさらに備える、請求項 1 に記載の処理装置。

**【請求項 6】**

前記リコンフィギュラブル回路の出力を受ける出力回路をさらに備え、前記出力回路は、前記設定部により前記リコンフィギュラブル回路が複数回構成されると、前記リコンフィギュラブル回路の出力を出力する、請求項 1 に記載の処理装置。

**【請求項 7】**

ある設定データにより前記リコンフィギュラブル回路からの出力を所定の領域に記憶するメモリ部をさらに備え、

前記制御部は、前記メモリ部の前記所定の領域に記憶された前記リコンフィギュラブル回路上で構成された回路の出力を、前記経路部を通じて次の設定データにより構成される回路の入力に供給させる、請求項 5 に記載の処理装置。

**【請求項 8】**

前記リコンフィギュラブル回路の入力として、前記経路部からの入力と、外部からの入力とを切替える切替回路をさらに備える、請求項 7 に記載の処理装置。

**【請求項 9】**

前記リコンフィギュラブルユニットは、それぞれが複数の演算機能を選択的に実行可能な複数の論理回路と、論理回路間の接続関係を設定可能な接続部とを含み、

前記設定部は、前記論理回路の機能および前記接続関係を設定する、請求項 1～8 のいずれか 1 項に記載の処理装置。

**【請求項 10】**

前記論理回路は、複数種類の多ビット演算を選択的に実行可能な算術論理回路である、請求項 9 に記載の処理装置。

## 【書類名】明細書

【発明の名称】リコンフィギュラブル回路を備えた処理装置

## 【技術分野】

## 【0001】

この発明は、集積回路技術に関し、特にリコンフィギュラブル回路を備えた処理装置に関する。

## 【背景技術】

## 【0002】

例えば衛星放送では、季節などにより、放送モードを切り替えて画質の調整などを行うこともある。受信機では、放送モードごとに複数の回路を予めハードウェア上に作り込んでおき、放送モードに合わせて回路処理制御部で回路を切り替えて受信している。したがって、受信機の他の放送モード用の回路はその間遊んでいることになる。モード切り替えのように、複数の専用回路を切り替えて使用し、その切り替え間隔が比較的長い場合、複数の専用回路を作り込む代わりに、切り替え時にLSIを瞬時に再構成することにすれば、回路構造をシンプルにして汎用性を高め、同時に実装コストを抑えることができる。このようなニーズに応えるべく、動的に再構成可能なLSIに製造業界の関心が集まっている。特に、携帯電話やPDA(Personal Data Assistant)などのモバイル端末に搭載されるLSIは小型化が必須であり、LSIを動的に再構成し、用途に合わせて適宜機能を切り替えることができれば、LSIの実装面積を抑えることができる。

## 【0003】

この点に関連して、FPGA(Field Programmable Gate Array)はLSI製造後に回路データを書き込んで比較的自由に回路構成を設計することが可能であり、専用ハードウェアの設計に利用されている。FPGAは、論理回路の真理値表を格納するためのルックアップテーブル(LUT)と出力用のフリップフロップからなる基本セルと、その基本セル間を結ぶプログラマブルな配線リソースとを含む。FPGAでは、LUTに格納するデータと配線データを書き込むことで目的とする論理演算を実現できる。そこで、FPGAを動的に再構成することで、回路構成の再利用を図る方法が提案されている(例えば、特許文献1参照。 )。

## 【0004】

FPGAは回路構成の設計自由度が高く、汎用的である反面、全ての基本セル間の接続を可能とするため、多数のスイッチとスイッチのON/OFFを制御するための制御回路を含む必要があり、必然的に制御回路の実装面積が大きくなる。また、基本セル間の接続に複雑な配線パターンをとるため、配線が長くなる傾向があり、さらに1本の配線に多くのスイッチが接続される構造であるため、遅延が大きくなる。さらに、FPGAでLSIを設計した場合、ASIC(Application Specific IC)による設計と比べると、実装面積が非常に大きくなり、コスト高になる。そのため、FPGAによるLSIは、試作や実験のために利用されるにとどまることが多く、実装効率、性能、コストなどを考えると、量産には適していない。さらに、FPGAでは、多数のLUT方式の基本セルに設定データを送る必要があるため、回路のコンフィグレーションにはかなりの時間がかかる。そのため、瞬時に回路構成の切り替えが必要な用途にはFPGAは適していない。

## 【0005】

これに対して、近年瞬時に回路構成の切り替えが可能なリコンフィギュラブル回路が目されてきている。

## 【0006】

図23は、リコンフィギュラブル回路を説明する概念図である。

## 【0007】

図23を参照して、本例においてはリコンフィギュラブル回路1001と、リコンフィギュラブル回路1001を制御する制御部1000が示されている。リコンフィギュラブル回路は、多数の複数種類の多ビット演算を選択的に実行可能な算術論理回路(ALU(Arithmetic Logic Unit))を有し、マトリクス状に構成されている。制御部1000は

、設定データをリコンフィギュラブル回路1001に入力することにより所期の回路構成を実現する。

【0008】

図24は、所期の回路として回路42が4つに分割される場合を説明する図である。

【0009】

図24を参照して、所期の回路としてここでは、回路42が一例として示されている。

【0010】

1つの回路42を分割して生成される回路を、「分割回路」と呼ぶ。この例では、1つの回路42が、上から下に向う方向に演算の流れが表現される場合にその演算の流れに従って4つの分割回路、すなわち分割回路A、分割回路B、分割回路C、分割回路Dに分割されている。所定の間隔で回路42を切り取り、その切り取った部分を分割回路としているが、この分割回路は、一度にリコンフィギュラブル回路1001に構成可能な単位で分割されたものである。そして、これら分割回路を表現するための設定データが制御部1000に格納されているものとする。具体的には、制御部1000は、分割回路A～Dを表現するために設定データ40a～40dをそれぞれ格納している。

【0011】

リコンフィギュラブル回路1001は、複数段のALUで構成されており、分割回路はさらに複数の分割ユニットで構成されている。

【0012】

図25は、分割回路A～分割回路Dが複数の分割ユニットで構成されていることを説明する概念図である。ここでは、分割ユニット1#～12#が示されている。

【0013】

図26は、制御部1000が設定データ40aに基づいてリコンフィギュラブル回路1001に入力することにより、分割回路Aを構成（マッピング）した場合を説明する図である。本例においては、リコンフィギュラブル回路1001は、3段のALUで構成されており、1段ずつのALUに対して1つの分割ユニットが割当てられるものとする。この分割回路A～Dを順番にリコンフィギュラブル回路1001に構成（マッピング）して、先の出力を入力として回路を構成することにより、小面積で所期の回路42を実現し、入力信号Pに伴う所期の回路42からの出力信号Qを得ることができる。このようにリコンフィギュラブル回路は、入力される設定データに基づいて回路の組換えを実現することが可能な装置であり、瞬時に回路構成の切り替えを実行することができる。

【特許文献1】特開平10-256383号公報（全文、第1-4図）

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかしながら、リコンフィギュラブル回路1001に回路42をマッピングする場合、具体的には、分割回路を構成した場合、1つの分割回路は複数の分割ユニットで構成されており、順番に分割ユニットで所望の論理動作が実行される。

【0015】

図27は、リコンフィギュラブル回路1001に構成された分割回路Aにおける処理の流れを説明する図である。たとえば、各分割ユニットにおける論理動作が1サイクルかかるとすると、1つの分割ユニットを構成するためには、3サイクル必要とされる。

【0016】

このような構成においては、たとえば、最初のサイクルでは、分割ユニット1#で論理動作が行われ、次のサイクルで分割ユニット2#で論理動作が順番に実行されるが、この次のサイクルでは、分割ユニット1#の論理動作は行なわれない。したがって、何にも用いられない空き領域が回路内に存在することになる。それゆえ、そのような場合にはその領域を他の用途に有効に利用することが好ましい。

【0017】

本発明はこうした状況に鑑みてなされたものでその目的は、所期の回路の高速なマッピングを実現することが可能なリコンフィギュラブル回路を備えた処理装置の提供を目的としている。

【課題を解決するための手段】

【0018】

本発明の処理装置は、機能および接続関係の変更が可能なリコンフィギュラブル回路と、所期の回路の一部を構成する分割ユニットを表現するための設定データを記憶し、リコンフィギュラブル回路に供給するための設定部と、リコンフィギュラブル回路に所期の回路を構成するために複数の設定データを順次供給するように設定部を制御する制御部とを備える。リコンフィギュラブル回路は、内部の状態を保持する状態保持回路を少なくとも1つ有する。リコンフィギュラブル回路は、状態保持回路の配置により、複数段のリコンフィギュラブルユニットに分割される。制御部は、複数の所期の回路を構成する場合に、各回路の一部を構成する分割ユニットを複数段のリコンフィギュラブルユニットのそれぞれに対して構成するための設定データを処理の流れに従って順番に供給するように設定部を制御する。

【発明の効果】

【0019】

複数の所期の回路を構成する場合に、複数段のリコンフィギュラブルユニットにそれぞれ各回路の一部を構成する分割ユニットを構成するための設定データを供給するため、各段で別々の回路を構成する分割ユニットがリコンフィギュラブルユニットに構成される。したがって、並列な処理が実行され、高速な所期の回路の構成すなわち論理動作を実現することができる。

【発明を実施するための最良の形態】

【0020】

以下、この発明の実施の形態を図面を参照して詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰返さない。

【0021】

図1は、本発明の実施の形態に係る処理装置10の構成図である。

【0022】

処理装置10は、集積回路装置26と、コンパイル部30と、設定データ生成部32と、記憶部34とを備える。集積回路装置26は、回路の再構成を可能とする機能を有する。集積回路装置26は、1チップとして構成され、リコンフィギュラブル回路12、設定部14、制御部18、内部状態保持回路20、出力回路22、メモリ部27、切替回路28および経路部24、29を備える。リコンフィギュラブル回路12は、パイプライン構成となっており、設定を変更することにより機能の変更を可能とする。設定部14は、第1回路設定部14a、第2回路設定部14b、第3回路設定部14c、および回路処理制御部16を有し、リコンフィギュラブル回路12に所期の回路を構成するための設定データ40を供給する。なお、回路処理制御部16は、第1回路設定部14a～第3回路設定部14cからの出力をリコンフィギュラブル回路12のパイプラインの格段である後述するリコンフィギュラブルユニットに所定の順序で供給する。経路部24、29はフィードバックパスとして機能し、リコンフィギュラブル回路12の出力を、切替回路28に出力する。

【0023】

メモリ部27は、制御部18からの指示に基づきリコンフィギュラブル回路12から出力されるデータ信号を格納するための記憶領域である。また、制御部18からの指示に基づき格納されたデータ信号は、経路部29を通じてリコンフィギュラブル回路12の入力として伝達される。リコンフィギュラブル回路12への入力は、経路部24、経路部29の2系統存在するが、経路部24は、メモリ部27を介さないために高速にフィードバック処理することが可能である。特に、メモリ部27が低速で動作処理する場合には、経路部24は、経路部29よりもさらに高速に処理する。

## 【0024】

切替回路 28 は、回路処理制御部 16 からの指示信号に応答して入力信号および経路部 24、29 からの入力信号を選択的にリコンフィギュラブル回路 12 に出力する。具体的には、設定される設定データに基づく所定のタイミングで回路処理制御部 16 から切替指示がなされる。内部状態保持回路 20 および出力回路 22 は、リコンフィギュラブル回路 12 の出力を受けて、たとえばデータフリップフロップ (D-FF) などの順序回路として構成される。内部状態保持回路 20 は経路部 24 に接続されている。メモリ部 27 は、経路部 29 と接続されている。リコンフィギュラブル回路 12 は、組合せ回路と、フリップフロップ回路で構成され、パイプライン動作する。

## 【0025】

リコンフィギュラブル回路 12 は、機能の変更が可能な論理回路を有して構成される。具体的にはリコンフィギュラブル回路 12 は、複数の演算機能を選択的に実行可能な論理回路を複数個内部に配列させた構成を有し、前段の論理回路列の出力と後段の論理回路列の入力との接続関係を設定可能な接続部と、前段の論理回路列の出力すなわち内部状態を保持する状態保持回路 (以下、FF 回路とも称する) とを有する。以下においては、この接続部と、FF 回路の両方の機能を有する構成を接続部+FF 回路とも称する。

## 【0026】

複数の論理回路は、マトリクス状に配列される。各論理回路の機能と、論理回路間の接続関係とは、設定部 14 より供給される設定データに基づいて設定される。設定データは、以下の手順で生成される。集積回路装置 26 により実現されるべきプログラム 36 が、記憶部 34 に保持されている。プログラム 36 は、信号処理回路または信号処理アルゴリズムなどの C 言語などの高級言語で記述したものである。コンパイル部 30 は、記憶部 34 に格納されたプログラム 36 をコンパイルし、データフローグラフ 38 に変換して記憶部 34 に格納する。データフローグラフ 38 は、入力変数および定数の演算の流れをグラフ構造で表現したものである。

## 【0027】

設定データ生成部 32 は、データフローグラフ 38 から設定データ 40 を生成する。設定データ 40 は、データフローグラフ 38 をリコンフィギュラブル回路 12 にマッピングするためのデータでありリコンフィギュラブル回路 12 における論理回路の機能や論理回路間の接続関係を定める。設定データ生成部 32 は、回路を分割してできる複数の分割回路の設定データ 40 を生成する。

## 【0028】

設定データ生成部 32 は、リコンフィギュラブル回路 12 における論理回路の配列構造とデータフローグラフ 38 によって回路の分割方法を定める。リコンフィギュラブル回路 12 の配列構造は、制御部 18 から設定データ生成部 32 に伝えられてもよく、また予め記憶部 34 に記憶されていてもよい。また制御部 18 が回路の分割方法を設定データ生成部 32 に指示することも可能である。

## 【0029】

以上の手順を実行することにより、記憶部 34 は、リコンフィギュラブル回路 12 を所期の回路として構成するための複数の設定データ 40 を記憶する。複数の設定データ 40 は、1 つの回路を分割した複数の分割回路をそれぞれ上述したように表現したものである。このように、リコンフィギュラブル回路 12 の回路規模に応じて生成すべき回路の設定データ 40 を生成することにより汎用性の高い処理装置 10 を実現することが可能となる。別の視点から見ると、本実施の形態に従う処理装置 10 によれば回路規模の小さいリコンフィギュラブル回路 12 を用いて所望のすなわち所期の回路を再構成することが可能となる。

## 【0030】

図 2 はリコンフィギュラブル回路 12 の構成図である。

## 【0031】

図 2 を参照して、リコンフィギュラブル回路 12 は、複数の論理回路 50 の列が複数段



にわたって配列されたもので、各段に設けられた接続部+FF回路52によって、前段の論理回路列の出力と後段の論理回路列の入力が設定により任意に接続、あるいは、決められた組み合わせのうちより選択された接続が可能な構成となっている。また、前段の論理回路列の出力信号を保持することができる。ここでは論理回路50の一例としてALUを示す。各ALUは、論理和、論理積、ビットシフトなどの複数種類の多ビット演算を設定により選択的に実行できる。具体的には、各ALUは、複数の演算機能を選択するためのセレクタを有している。

#### 【0032】

図示のようにリコンフィギュラブル回路12は、横方向にY個、縦方向にX個のALUが配置されたALUアレイとして構成される。第1段のALU11、ALU12、・・・、ALU1Yには入力変数や定数が入力され、設定された所定の演算がなされる。演算結果の出力は、第1段の接続部+FF回路52に設定された接続に従って、第2段のALU21、ALU22、・・・、ALU2Yに入力される。第1段の接続部+FF回路52においては、第1段のALU列の出力と第2段のALU列の入力の間で任意の接続関係、あるいは、決められた組み合わせのうちより選択された接続関係を実現できるように結線が構成されており、設定により所期の結線が有効となる。以下、第(X-1)段の接続部+FF回路52まで同様の構成であり、最終段である第X段のALU列は演算の最終結果を出力する。なお、本構成においては、接続部+FF回路がALUと、交互に1段ずつ設けられた構成を示している。この接続部+FF回路を配置することにより、リコンフィギュラブル回路12は、1段ずつのALUで構成されるX段のリコンフィギュラブルユニットに分割されることになる。具体的には、1段のリコンフィギュラブルユニットは、1段のALU列と1段の接続部+FF回路52で構成される。なお、最終段のリコンフィギュラブルユニットは、1段のALU列のみとすることも可能であり、図1の内部状態保持回路20と組み合わせることも可能である。この分割は、FF回路に従うものであり、たとえば、2段のALU毎に、接続部+FF回路52を設け、それ以外は、FF回路を有しない接続部のみとすれば、2段ずつのALUで構成されるX/2段のリコンフィギュラブルユニットに分割されることになる。その他、FF回路を所定段のALU毎に設けることにより、所望段のリコンフィギュラブルユニットを構成することが可能である。

#### 【0033】

図3は、図2に示されるリコンフィギュラブル回路12と置換可能なリコンフィギュラブル回路12#の構成図である。

#### 【0034】

図3を参照して、リコンフィギュラブル回路12#は、リコンフィギュラブル回路12と比較して、接続部+FF回路52を接続部+FF回路52#に置換した点が異なる。接続部+FF回路52#は、接続部+FF回路52の機能に加えて外部から直接入力変数や定数の入力可能な構成であるとともに、接続部+FF回路52#から直接外部に前段のALUの演算結果を出力することも可能である。この構成により図2に示されるリコンフィギュラブル回路12の構成よりも多様な組合せ回路を構成することが可能となり、設計の自由度が向上する。他の部分および構成については図2で示されるリコンフィギュラブル回路12の構成と同様であるのでその詳細な説明は繰返さない。

#### 【0035】

図4は、データフローグラフ38の例を示す図である。

#### 【0036】

データフローグラフ38においては、入力される変数や定数の演算の流れが段階的にグラフ構造で表現されている。

#### 【0037】

図中、演算子は丸印で示されている。設定データ生成部32は、このデータフローグラフ38をリコンフィギュラブル回路12にマッピングするための設定データ40を生成する。本実施の形態においては特にデータフローグラフ38をリコンフィギュラブル回路12にマッピングしきれない場合にデータフローグラフ38を複数の領域に分割して、分割

回路の設定データ 40 を生成する。データフロウグラフ 38 による演算の流れを回路上で実現するべく、設定データ 40 は、演算機能を割当てる論理回路を特定し、また論理回路間の接続関係を定め、さらに入力変数や入力定数などを提起したデータとなる。したがって設定データ 40 は、各論理回路 50 の機能を選択するセレクタに供給する選択情報、接続部 + FF 回路 52 の結線を設定する接続情報、必要な変数データや定数データなどを含んで構成される。

#### 【0038】

再び図 1 を参照して、回路構成時、制御部 18 は、回路を構成するための複数の設定データ 40 を選択する。本例において、制御部 18 は、選択した複数の設定データ 40 をそれぞれ第 1 回路設定部 14 a ～ 第 3 回路設定部 14 c に供給する。第 1 回路設定部 14 a ～ 第 3 回路設定部 14 c は、キャッシュメモリや他の種類のメモリを有し、供給される設定データをそれぞれ保持する。具体的には、図 24 で示したように、所期の回路をリコンフィギュラブル回路 1 つにマッピング可能なように分割回路に分割し、さらに分割回路を複数の分割ユニットに分割して、各分割ユニットを構成する設定データを記憶する。第 1 回路設定部 14 a ～ 第 3 回路設定部 14 c では、分割された複数の分割ユニットのデータの集合体として記憶している。なお、本例においては、制御部 18 が記憶部 34 から設定データを受けて、設定部 14 に供給する構成について説明するが、制御部 18 を設けることなく、予め設定部 14 に設定データおよび各回路を制御するための制御データを記憶する RAM (Random Access Memory) や、ROM (Read On Memory) 等のメモリを備えた構成とすることも可能である。

#### 【0039】

設定部 14 は、選択された設定データ 40 をリコンフィギュラブル回路 12 に設定しリコンフィギュラブル回路 12 の回路を再構成する。これによりリコンフィギュラブル回路 12 は所期の演算を実行できる。リコンフィギュラブル回路 12 は基本セルとして高性能の演算能力のある ALU を用いており、またリコンフィギュラブル回路 12 および設定部 14 をワンチップ上に構成することからコンフィギュレーションを高速に実現することができる。

#### 【0040】

制御部 18 は、クロック機能を有し、クロック信号は設定部 14、内部状態保持回路 20 および出力回路 22 に供給される。また制御部 18 はクロック信号に同期してカウンタ動作を実行するカウンタ回路を含み、カウンタ回路からのカウンタ信号に従い回路処理制御部 16 は、所定のタイミングでリコンフィギュラブル回路 12 に設定データを出力する。

#### 【0041】

図 5 は、一例として本実施の形態に従うリコンフィギュラブル回路 12 にマッピングする回路群の一例図である。

#### 【0042】

図 5 を参照して、ここでは 3 つの回路、回路 FA ～ FC が示される。回路 FA は、入力信号 I の入力を受けて出力信号 MI を出力する。回路 FB は、入力信号 Q の入力を受けて出力信号 MQ を出力する。回路 FC は、入力信号 MI および MQ の入力を受けて出力信号 Y を出力する。これらの回路 FA ～ FC の設定データは、第 1 回路設定部 14 a ～ 第 3 回路設定部 14 c に記憶されている。

#### 【0043】

図 6 は、回路 FA、FB および FC をリコンフィギュラブル回路 12 の各リコンフィギュラブルユニットにマッピングするために分割した分割ユニットを説明する概念図である。

#### 【0044】

図 6 (a) は、回路 FA の分割ユニットの概念図である。図 6 (a) を参照して、ここでは、回路 FA は、2 つの分割回路に分割され、さらに分割ユニット FA1 ～ FA6 に分割される。図 6 (b) は、回路 FB を分割した場合の分割ユニットの概念図である。こ

では、回路FBは、2つの分割回路に分割され、さらに分割ユニットFB1～FB6に分割される。図6(c)は、回路FCを分割した場合の分割ユニットの概念図である。ここでは、回路FCは、2つの分割回路に分割され、さらに分割ユニットFC1～FC6に分割される。

#### 【0045】

図7は、本発明の実施の形態に従うリコンフィギュラブル回路12に回路FA～FCをマッピングする方式を説明する概念図である。本例においては、1段ずつのALUを有する3段のリコンフィギュラブルユニットの構成でリコンフィギュラブル回路12が設定されているものとする。

#### 【0046】

図7を参照して、最初のサイクル（第1サイクル）に、まず第1段目に分割ユニットFA1がマッピングされ、入力信号Iが入力される。この分割ユニットFA1における論理動作を実行後、上述した接続部+FF回路52でその論理結果が保持される。次のサイクル（第2サイクル）に、第2段目に分割ユニットFA2がマッピングされるとともに、第1段目には入力信号Qを受ける分割ユニットFB1がマッピングされる。これに伴い、第1段目においては、分割ユニットFB1における論理動作が実行されて、上述した接続部+FF回路52でその論理結果が保持される。また、第2段目においては、分割ユニットFA2が前段における保持された論理結果の入力を受けて、所定の論理動作を実行し、その結果が接続部+FF回路52で保持される。その次のサイクル（第3サイクル）に、第3段目に分割ユニットFA3がマッピングされ、第2段目に分割ユニットFB2がマッピングされ、第1段目に入力信号MIおよび入力信号MQを受ける分割ユニットFC1がマッピングされる。これに伴い、第3段目においては、分割ユニットFC1における論理動作が実行されてリコンフィギュラブル回路12から出力される。出力結果は、内部状態保持回路20で保持され、経路部24を通じてリコンフィギュラブル回路12の入力側に伝達される。具体的には、切替回路28に経路部24を通じて伝達される信号は、回路処理制御部16からの指示に応答してリコンフィギュラブル回路12に入力される。次のサイクル（第4サイクル）に、第1段目に分割ユニットFA4をマッピングし、第2段目に分割ユニットFC2をマッピングし、第3段目に分割ユニットFB3をマッピングする。以降、同様の方式にしたがって、各回路FA～FCの信号処理の流れの順序に従って、リコンフィギュラブル回路12の第1段～第3段目のALUにそれぞれ分割ユニットFA1～FA6, FB1～FB6, FC1～FC6を順番にマッピングする。

#### 【0047】

これにより、第6サイクルのマッピングにより、第3段目のALUに構成された分割ユニットFA6から出力信号MIが出力される。また、第7サイクルのマッピングにより、第3段目の分割ユニットFB6から出力信号MQが出力される。また、第8サイクルのマッピングにより、第3段目の分割ユニットFC6から出力信号Y(−1)が出力される。

#### 【0048】

このようにして、1回のサイクルにおいて、異なる回路の分割ユニットをリコンフィギュラブル回路12の所定領域にそれぞれ割付けることが可能となり、全体として1つの回路を構成した場合に高速な論理動作を実現することが可能となる。たとえば、回路FAをマッピングして入力信号Iに基づく出力信号MIを生成し、次に、回路FBをマッピングして入力信号Qに基づく出力信号MQを生成し、そして最後に回路FCをマッピングして入力信号MIおよびMQに基づく出力信号Yを生成した場合、18サイクル後に出力信号Yが出力される。これに対して、本方式を採用することにより14サイクル後に出力信号Yを出力することが可能となる。

#### 【0049】

本方式の如く、リコンフィギュラブル回路12の各段で、それぞれ別の回路をマッピングし、複数の演算処理を並列して実行することにより、高速なマッピングに伴い、高速な論理動作を実現することが可能となる。

#### 【0050】

特に、リコンフィギュラブルユニットを無駄なく使用しているため、高速な処理が可能であり、結果として回路の小型化、低消費電力化を図ることができる。

#### 【0051】

また、1つの回路について、マッピングする際、処理の流れが途切れることなく連続的に行なわれるため、データを記憶させておくメモリ等を必要とすることがなく、この面でも回路の小型化、低消費電力化を図ることができる。さらに、複数の回路の同時マッピングが可能な構成であるため、マルチタスクを行ないやすい。さらに、データフロアグラフのマッピングに適した構成であり、マッピングソフトウェアの開発が容易である。

#### 【0052】

なお、本例における(−1)、(+1)の標記は、現在に対して、1つ前および後の信号を指し示すものとする。入力信号MI(−1)および入力信号MQ(−1)はメモリ部27に格納されているものとする。これら、メモリ部27に格納された信号は、経路部29を通じて切替回路28に与えられ、制御部18からの指示に应答してリコンフィギュラブル回路12に入力される。

#### 【0053】

図8は、記憶部34において記憶されている分割ユニットの複数の設定データが格納されている記憶領域を説明する概念図である。

#### 【0054】

図8を参照して、ここでは横方向に列アドレスC0～C5が対応付けられ、縦方向に行アドレスR0～R2が対応付けられる。たとえば本例においてはアドレス(R0, C0)は分割ユニットFA1の設定データを指し示すものとする。また、アドレス(R2, C5)は分割ユニットFC6の設定データを指し示すものとする。

#### 【0055】

図9は、制御部18が、記憶部34の設定データ40からアドレス指定して第1回路設定部14a、第2回路設定部14bおよび第3回路設定部14cに設定データを伝達する方式を説明する概念図である。

#### 【0056】

図9を参照して、制御部18は、行アドレスR0、列アドレスC0, C2, C4, C1, C3, C5の順番にそれぞれ読出して第1回路設定部14aに出力する。また、制御部18は、1サイクル遅延してから、行アドレスR1、列アドレスC0, C2, C4, C1, C3, C5の順序で第2回路設定部14bに出力する。また、制御部18は、2サイクル遅延してから、行アドレスR2、列アドレスC0, C2, C4, C1, C3, C5の順序で第3回路設定部14cに出力する。また、制御部18は、設定データ40の入力とともに、与えられる制御データに基づき、出力回路22を駆動するタイミング、メモリ部27へのデータ信号の格納、設定部14を制御する。

#### 【0057】

これにより、図7で示される順序でリコンフィギュラブル回路12にマッピング動作が実行され、高速なマッピング動作とともに高速な論理演算動作すなわち高速な所期の回路構成を実現することができる。

#### 【0058】

図10は、本実施の形態に従うリコンフィギュラブル回路12にマッピングする回路群の一例図である。

#### 【0059】

図10を参照して、ここでは4つの回路、回路FA, FB, FD, FEが示される。回路FAは、入力信号Iの入力を受けて出力信号MIを出力する。回路FBは、入力信号Qの入力を受けて出力信号MQを出力する。回路FDは、入力信号MIの入力を受けて出力信号MYを出力する。回路FEは、入力信号MY, MQの入力を受けて、出力信号Zを出力する。

#### 【0060】

図11は、回路FA, FB, FD, FEをリコンフィギュラブル回路12の各リコンフ

イギュラブルユニットにマッピングするために分割した分割ユニットを説明する概念図である。

#### 【0061】

図11(a)は、回路FAを分割した場合の分割ユニットの概念図である。図11(a)を参照して、ここでは、回路FAは、2つの分割回路に分割され、さらに分割ユニットFA1～FA6に分割される。図11(b)は、回路FBを分割した場合の分割ユニットの概念図である。ここでは回路FBは、2つの分割回路に分割され、さらに分割ユニットFB1～FB6に分割される。図11(c)は、回路FDを分割した場合の分割ユニットの概念図である。ここでは、回路FDは、分割ユニットFD1～FD3に分割される。図11(d)は、回路FEを分割した場合の分割ユニットの概念図である。ここでは、回路FEは、分割ユニットFE1～FE3に分割される。

#### 【0062】

図12は、本発明の実施の形態に従うリコンフィギュラブル回路12に回路FA, FB, FD, FEをマッピングする方式を説明する概念図である。本例においては、1段ずつのALUを有する3段のリコンフィギュラブルユニットの構成でリコンフィギュラブル回路12が設定されているものとする。

#### 【0063】

図12を参照して、最初のサイクル(第1サイクル)に、まず第1段目に分割ユニットFA1がマッピングされ、入力信号Iが入力される。次のサイクル(第2サイクル)に、第2段目に分割ユニットFA2がマッピングされるとともに、第1段目には入力信号Qを受ける分割ユニットFB1がマッピングされる。その次のサイクル(第3サイクル)に、第3段目に分割ユニットFA3がマッピングされ、第2段目に分割ユニットFB2がマッピングされ、第1段目に入力信号MI(-1)の入力を受ける分割ユニットFD1がマッピングされる。次のサイクル(第4サイクル)に、第1段目に分割ユニットFA4をマッピングし、第2段目に分割ユニットFD2をマッピングし、第3段目に分割ユニットFB3をマッピングする。次のサイクル(第5サイクル)に、第1段目に分割ユニットFB4をマッピングし、第2段目に分割ユニットFA5をマッピングし、第3段目に分割ユニットFD3をマッピングする。次のサイクル(第6サイクル)に、第1段目に分割ユニットFE1をマッピングし、第2段目に分割ユニットFB5をマッピングし、第3段目に分割ユニットFA6をマッピングする。以降、同様の方式にしたがって、各回路FA, FB, FD, FEの信号処理の流れの順序に従って、リコンフィギュラブル回路12の第1段～第3段目のALUにそれぞれ分割ユニットを順番にマッピングする。

#### 【0064】

これにより、第6サイクルのマッピングにより、第3段目のALUに構成された分割ユニットFA6から出力信号MIが出力される。また、第7サイクルのマッピングにより、第3段目の分割ユニットFB6から出力信号MQが出力される。また、第8サイクルのマッピングにより、第3段目の分割ユニットFE3から出力信号Z(-1)が出力される。

#### 【0065】

ここでは、回路FDと、回路FEを同じ回路と1つの回路とみなしてマッピングを実行する場合を示している。

#### 【0066】

このようにして、1回のサイクルにおいて、異なる回路の分割ユニットをリコンフィギュラブル回路12の所定領域にそれぞれ割付けることが可能となり、全体として1つの回路を構成した場合に高速な論理動作を実現することが可能となる。

#### 【0067】

本方式の如く、リコンフィギュラブル回路12の各段で、それぞれ別の回路をマッピングし、複数の演算処理を並列して実行することにより、高速なマッピングに伴い、高速な論理動作を実現することが可能となる。なお、本例における(-1)、(+1)の標記は、現在に対して、1つ前および後の信号を指し示すものとする。入力信号MI(-1), MY(-1)および入力信号MQ(-1)はメモリ部27に格納されているものとする。

## 【0068】

以下においては、デジタル復調回路群を具体例として用いて、上記で説明した方式に従ってリコンフィギュラブル回路12を構成する方式について説明する。

## 【0069】

図13は、本発明の実施の形態に従うリコンフィギュラブル回路を用いて構成するデジタル復調回路群の構成図である。

## 【0070】

図13を参照して、デジタル復調回路群は、FIRフィルタ回路50と、FIRフィルタ回路52と、復調処理回路54とを含む。FIRフィルタ回路50は、入力信号Iの入力を受けて中間出力信号MIを出力する。FIRフィルタ回路52は、入力信号Qを受けて中間出力信号MQを出力する。復調処理回路54は、中間出力信号MI、MQの入力を受けて復調処理し、フィードバック制御出力信号Y2と、出力信号Y1を出力する。

## 【0071】

図14は、前後7点を利用する7タップからなるFIRフィルタ回路を示す図である。以下、このFIR (Finite Impulse Response) フィルタ回路を、本実施の形態における処理装置10で実現する具体例を示す。このFIRフィルタ回路の係数は、図示のごとく、対称に設定されている。

## 【0072】

図15は、図14で示すFIRフィルタ回路を置き換えた回路を示す図である。回路の置き換えは、フィルタ係数の対称性を利用している。

## 【0073】

図16は、図15で示すFIRフィルタ回路をさらに置き換えた回路を示す図である。ここでは、フィルタ係数に着目した置き換えを行っている。具体的には、係数1/16を $1/2 \times 1/2 \times 1/2 \times 1/2$ に、2/16を $1/2 \times 1/2 \times 1/2$ に、8/16を $1/2$ に置き換えている。係数1/2の演算はデータを右に1ビットシフトすることで実現できる。1ビットシフトは、複数ビットシフトと比べて、ALU内において非常に小さいスペースで形成することができる。

## 【0074】

図17は、図16に示すFIRフィルタ回路をコンパイルして作成したデータフローグラフ38aを示す図である。図中、“+”は加算を示し、“ $>>1$ ”は1ビットのシフトを示し、“MOV”はスルー用のパスを示す。図示のごとく、データフローグラフ38aは、7段の演算子で構成される。データフローグラフ38aが7段で構成される。

## 【0075】

図18は、復調処理回路54の構成を説明する概念図である。

## 【0076】

図18を参照して、復調処理回路54は、ループフィルタ56と、乗算器58と、正負判定回路60 (SGN) とで構成されている。正負判定回路60は、中間出力信号MIの入力を受けて、判定結果に基づいて復調出力信号Y1を出力する。乗算器58は、中間出力信号MI、MQの入力を受けて、乗算結果をループフィルタ56に出力する。ループフィルタ56は、乗算器58からの出力信号を受けて、フィードバック制御出力信号Y2を出力する。なお、フィードバック制御出力信号Y2は、図示しないが、他のデジタル復調処理に用いられる回路にフィードバック入力される制御信号である。

## 【0077】

図19は、ループフィルタ56を示す図である。

## 【0078】

図20は、図18に示す復調処理回路54をコンパイルして作成したデータフローグラフ38bを示す図である。図中、“ $\times$ ”は乗算を示し、“SGN”は正負判定を示す。他の演算子については上述したのと同様の構成である。図示のごとく、データフローグラフ38bは、3段の演算子で構成される。

## 【0079】

図21は、本例のデジタル復調回路群の各回路を分割した分割ユニットを説明する概念図である。

【0080】

図21(a)は、FIRフィルタ50を分割した分割ユニットを説明する図である。ここでは、FIRフィルタ50を3つの分割回路に分割し、さらに1段ずつに分割した分割ユニットTA1～TA7が示されている。図21(b)は、FIRフィルタ52を分割した分割ユニットを説明する図である。ここでは、FIRフィルタ52を3つの分割回路に分割し、さらに1段ずつに分割した分割ユニットTB1～TB7が示されている。図21(c)は、復調処理回路54を分割した分割ユニットを説明する図である。ここでは、復調処理回路54を分割した分割ユニットTC1～TC3が示されている。

【0081】

図22は、図7で示したのと同様の方式にしたがってリコンフィギュラブル回路12にデジタル復調回路群をマッピングする場合を説明する概念図である。本例においては、1段ずつのALUを有する3段のリコンフィギュラブルユニットの構成でリコンフィギュラブル回路12が設定されているものとする。

【0082】

図22に示されるように、最初のサイクル(第1サイクル)に、まず第1段目に分割ユニットTA1がマッピングされ、入力信号Iが入力される。次のサイクル(第2サイクル)に、第2段目に分割ユニットTA2がマッピングされるとともに、第1段目には入力信号Qを受ける分割ユニットTB1がマッピングされる。その次のサイクル(第3サイクル)に、第3段目に分割ユニットTA3がマッピングされ、第2段目に分割ユニットTB2がマッピングされ、第1段目に入力信号MIおよび入力信号MQを受ける分割ユニットTC1がマッピングされる。次のサイクル(第4サイクル)に、第1段目に分割ユニットTA4をマッピングし、第2段目に分割ユニットTC2をマッピングし、第3段目に分割ユニットTB3をマッピングする。以降、同様の方式にしたがって、FIR回路50、52および復調処理回路54を信号処理の流れの順序に従って、リコンフィギュラブル回路12の第1段～第3段目のALUを用いてそれぞれマッピングする。

【0083】

これにより、1回のサイクルにおいて、異なる回路の分割ユニットをリコンフィギュラブル回路12の所定領域にそれぞれ割付けることが可能となり、全体として1つの回路を構成した場合に高速な論理動作を実現することが可能となる。

【0084】

以上、本発明を実施の形態をもとに説明した。実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【0085】

例えば、リコンフィギュラブル回路12におけるALUの配列は、縦方向にのみ接続を許した多段配列に限らず、横方向の接続も許した、メッシュ状の配列であってもよい。また、上記の説明では、段を飛ばして論理回路を接続する結線は設けられていないが、このような段を飛ばす接続結線を設ける構成としてもよい。

【0086】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0087】

【図1】 本発明の実施の形態に係る処理装置10の構成図である。

【図2】 リコンフィギュラブル回路12の構成図である。

【図3】 図2に示されるリコンフィギュラブル回路12と置換可能なリコンフィギュ

ラブル回路 12# の構成図である。

【図 4】データフローグラフ 38 の例を示す図である。

【図 5】一例として本実施の形態に従うリコンフィギュラブル回路 12 にマッピングする回路群の一例図である。

【図 6】回路 FA, FB および FC をリコンフィギュラブル回路 12 の各リコンフィギュラブルユニットにマッピングするために分割した分割ユニットを説明する概念図である。

【図 7】本発明の実施の形態に従うリコンフィギュラブル回路 12 に回路 FA ~ FC をマッピングする方式を説明する概念図である。

【図 8】記憶部 34 において記憶されている分割ユニットの複数の設定データが格納されている記憶領域を説明する概念図である。

【図 9】制御部 18 が、記憶部 34 の設定データ 40 からアドレス指定して第 1 回路設定部 14a、第 2 回路設定部 14b および第 3 回路設定部 14c に設定データを伝達する方式を説明する概念図である。

【図 10】本実施の形態に従う他のリコンフィギュラブル回路 12 にマッピングする回路群の一例図である。

【図 11】回路 FA, FB, FD, FE をリコンフィギュラブル回路 12 の各リコンフィギュラブルユニットにマッピングするために分割した分割ユニットを説明する概念図である。

【図 12】本発明の実施の形態に従うリコンフィギュラブル回路 12 に回路 FA, FB, FD, FE をマッピングする方式を説明する概念図である。

【図 13】本発明の実施の形態に従うリコンフィギュラブル回路を用いて構成するデジタル復調回路群の構成図である。

【図 14】前後 7 点を利用する 7 タップからなる FIR フィルタ回路を示す図である。

【図 15】図 14 で示す FIR フィルタ回路を置き換えた回路を示す図である。

【図 16】図 15 で示す FIR フィルタ回路をさらに置き換えた回路を示す図である。

【図 17】図 16 に示す FIR フィルタ回路をコンパイルして作成したデータフローグラフ 38a を示す図である。

【図 18】復調処理回路 54 の構成を説明する概念図である。

【図 19】ループフィルタ 56 を示す図である。

【図 20】図 18 に示す復調処理回路 54 をコンパイルして作成したデータフローグラフ 38b を示す図である。

【図 21】本例のデジタル復調回路群の各回路を分割した分割ユニットを説明する概念図である。

【図 22】図 7 で示したのと同様の方式にしたがってリコンフィギュラブル回路 12 にデジタル復調回路群をマッピングする場合を説明する概念図である。

【図 23】リコンフィギュラブル回路を説明する概念図である。

【図 24】所期の回路として回路 42 が 4 つに分割される場合を説明する図である。

【図 25】分割回路 A ~ 分割回路 D が複数の分割ユニットで構成されていることを説明する概念図である。

【図 26】制御部 1000 が設定データ 40a に基づいてリコンフィギュラブル回路 1001 に入力することにより、分割回路 A を構成した場合を説明する図である。

【図 27】リコンフィギュラブル回路 1001 に構成された分割回路 A における処理の流れを説明する図である。

【符号の説明】

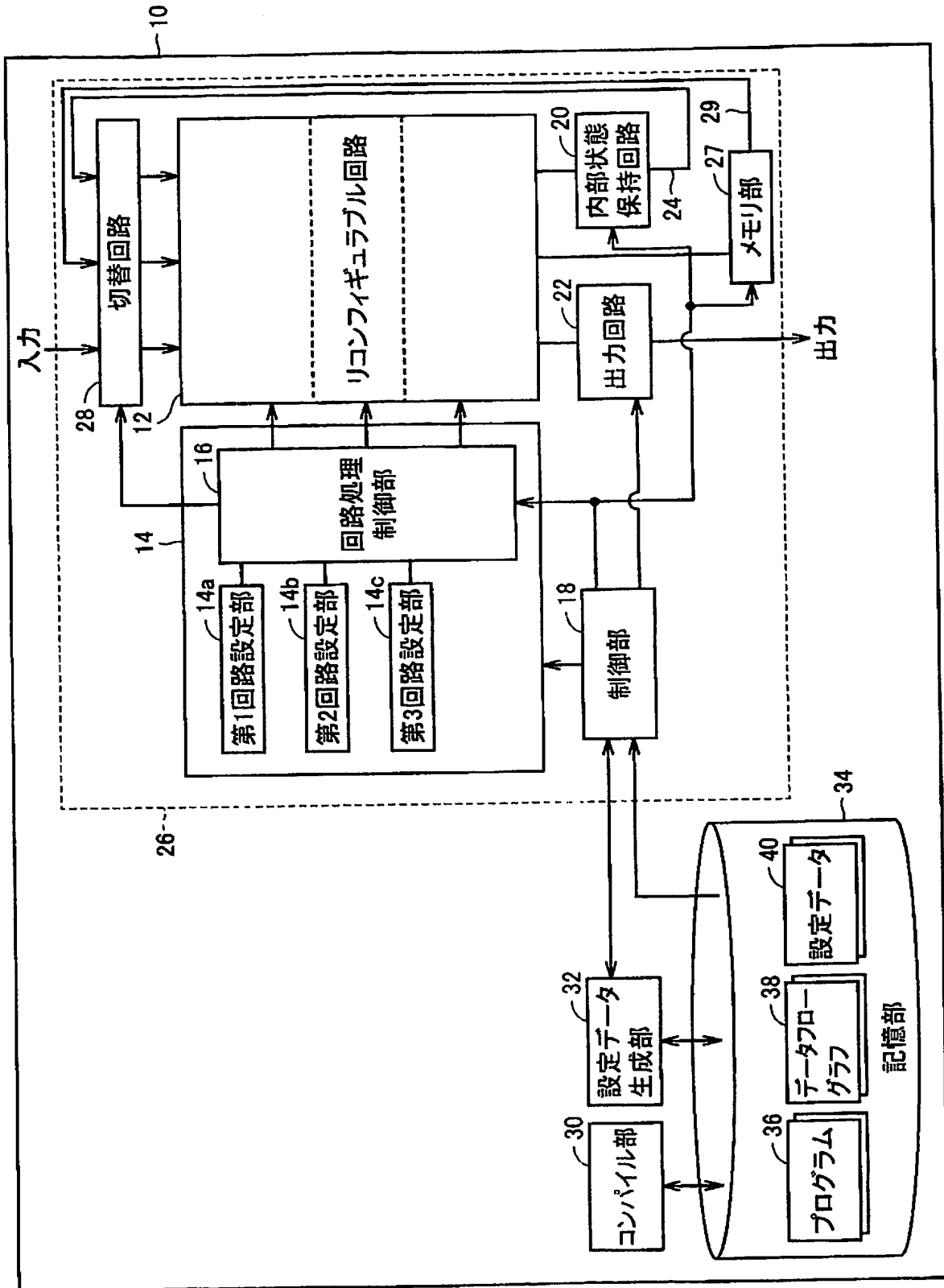
【0088】

10 処理装置、12 リコンフィギュラブル回路、14 設定部、16 回路処理制御部、18 制御部、20 内部状態保持回路、22 出力回路、24, 29 経路部、



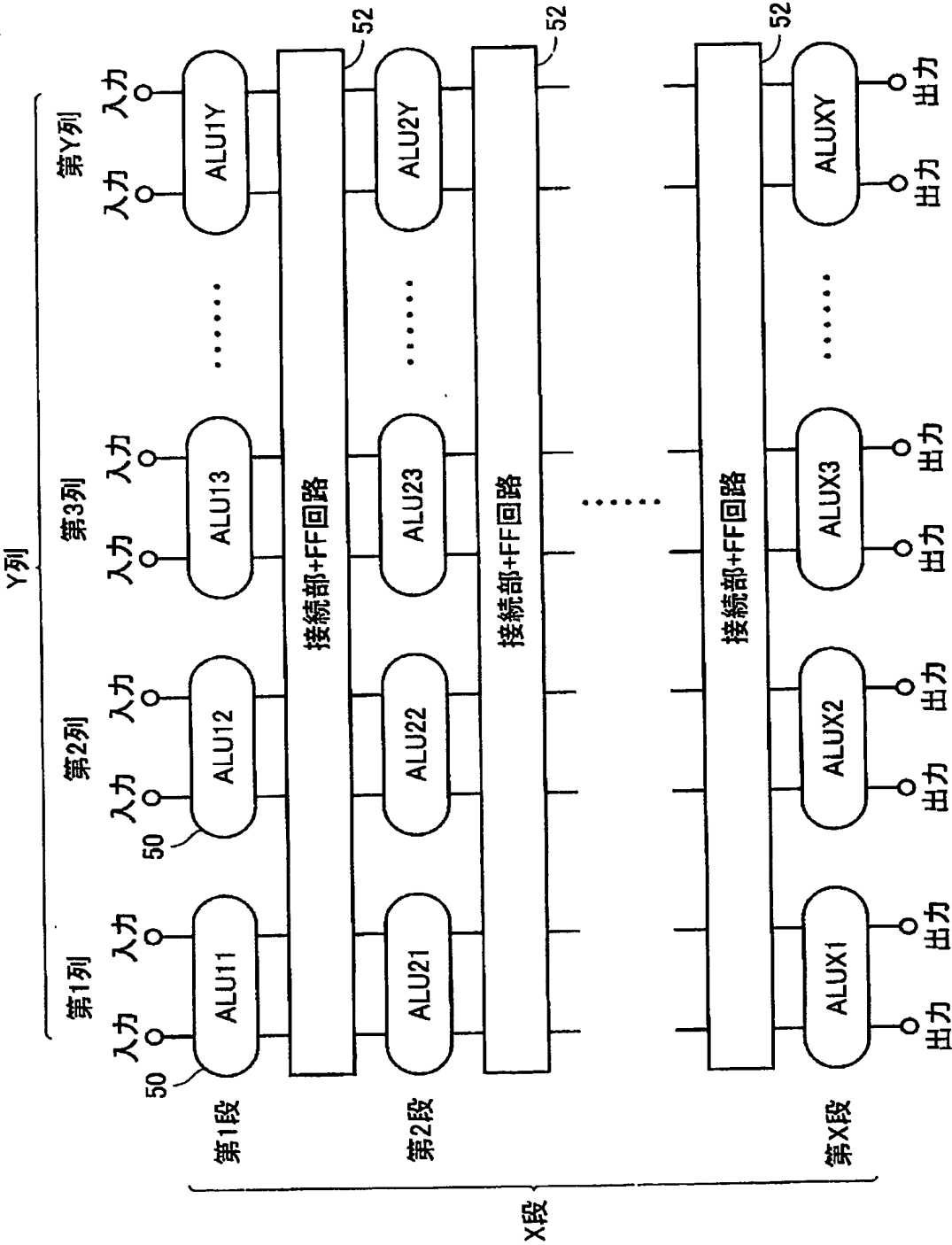
26 集積回路装置、27 メモリ部、28 切替回路、30 コンパイル部、32 設定データ生成部、34 記憶部、36 プログラム、38, 38a, 38b データフローグラフ、40 設定データ、50 論理回路、52, 52# 接続部+FF回路。

【書類名】 図面  
【図 1】

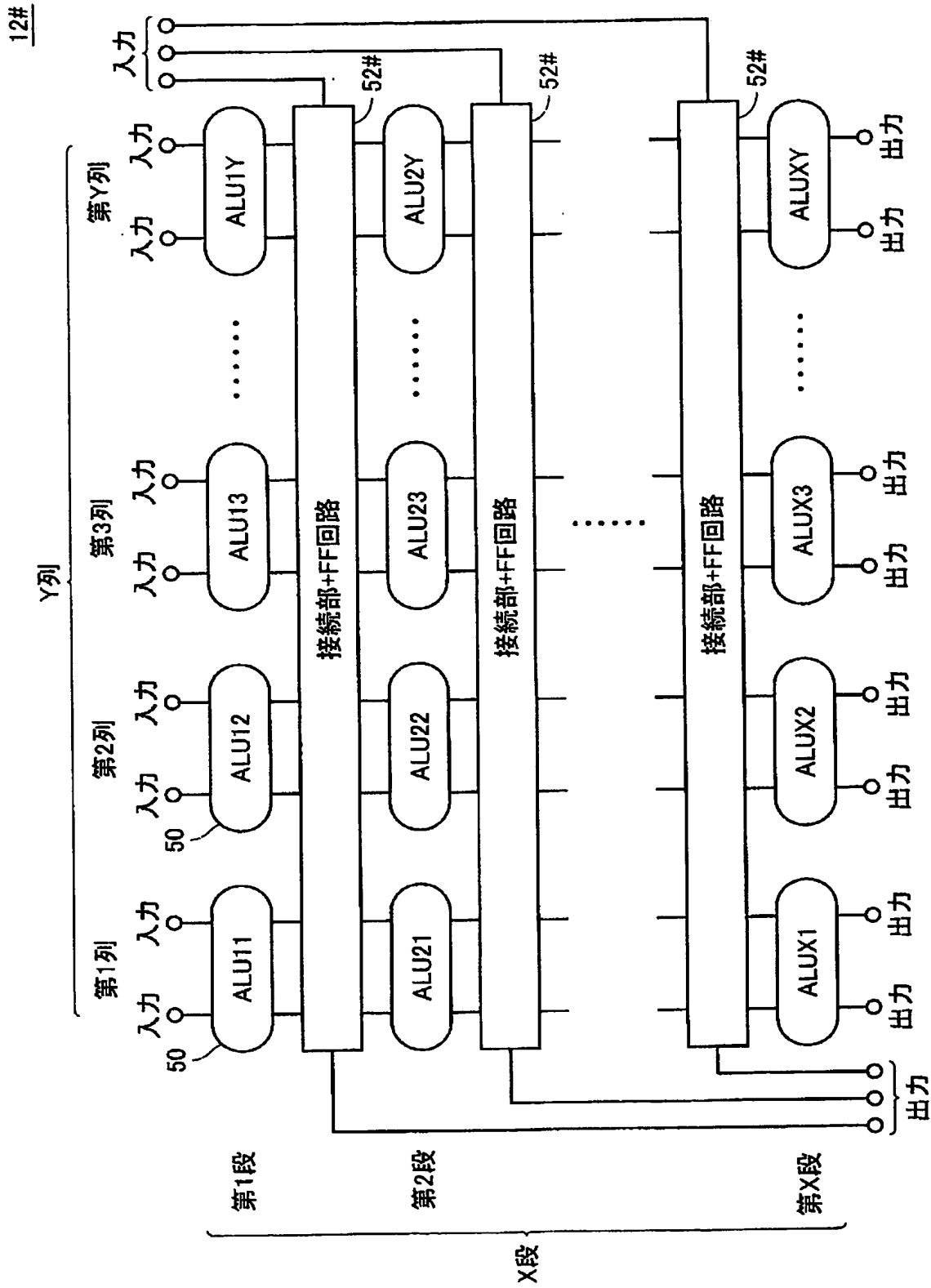


【図2】

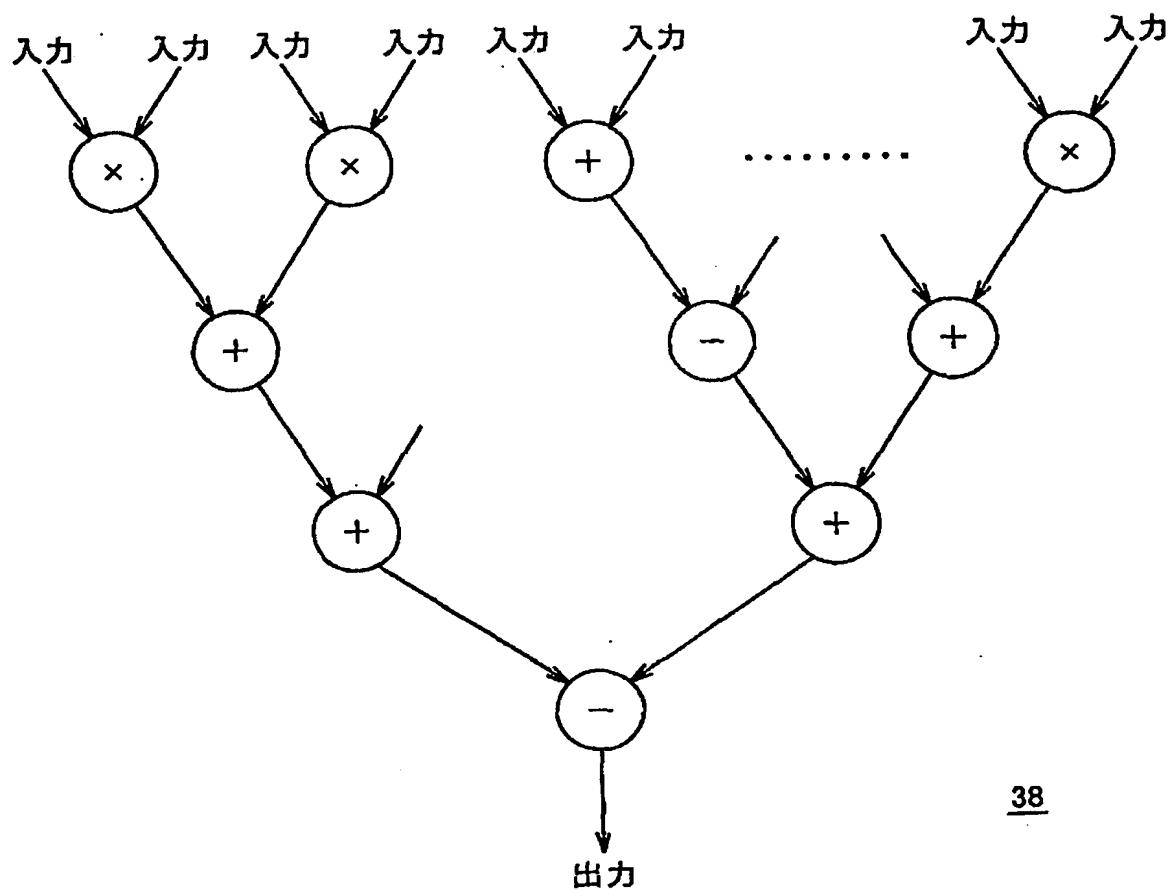
12



【図3】

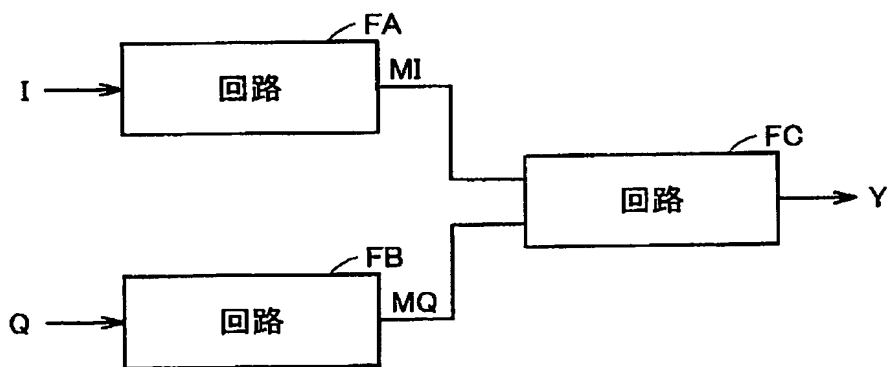


【図 4】

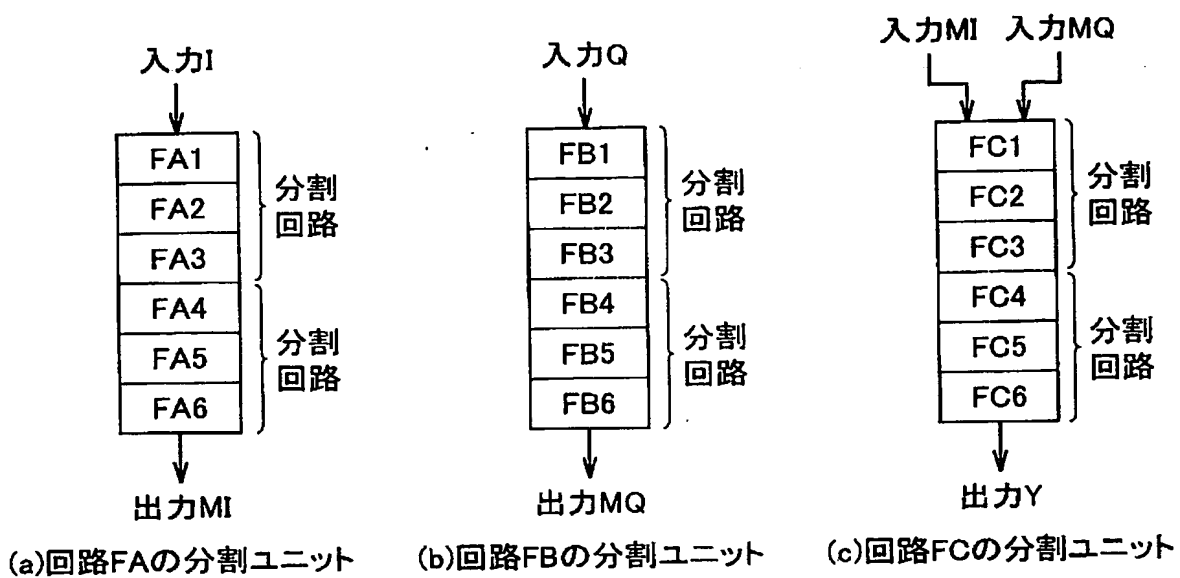


38

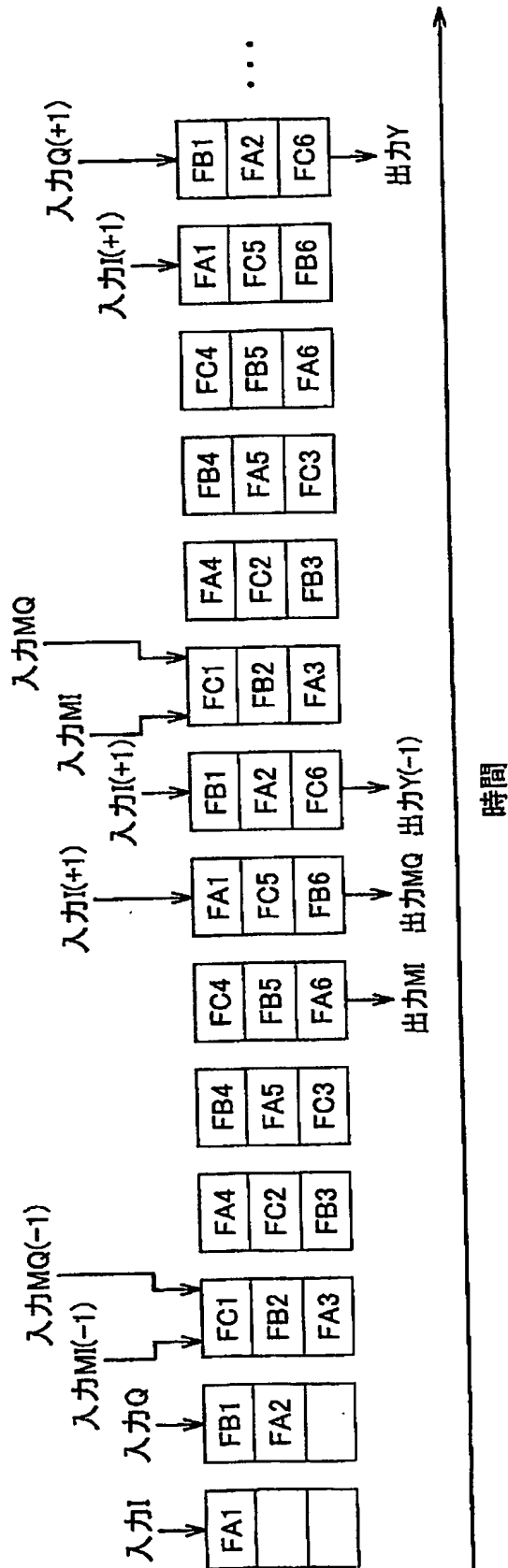
【図 5】



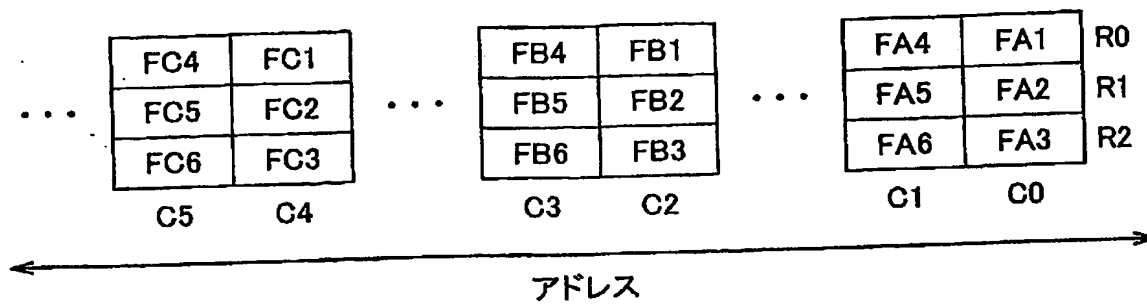
【図 6】



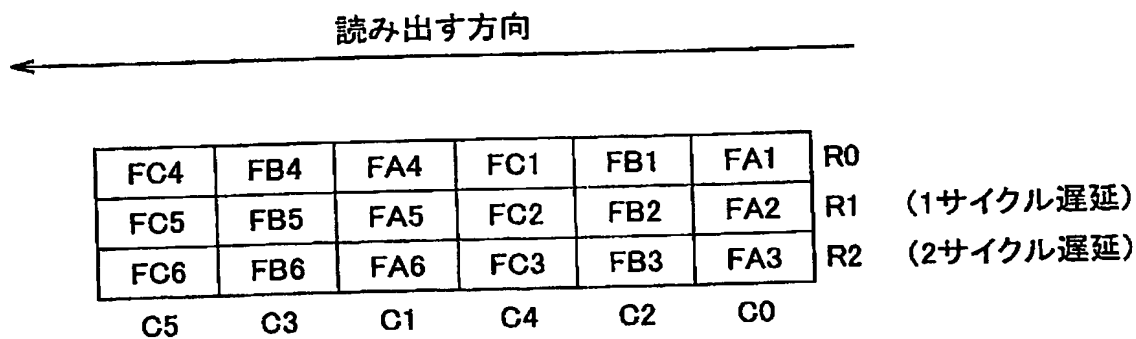
【図 7】



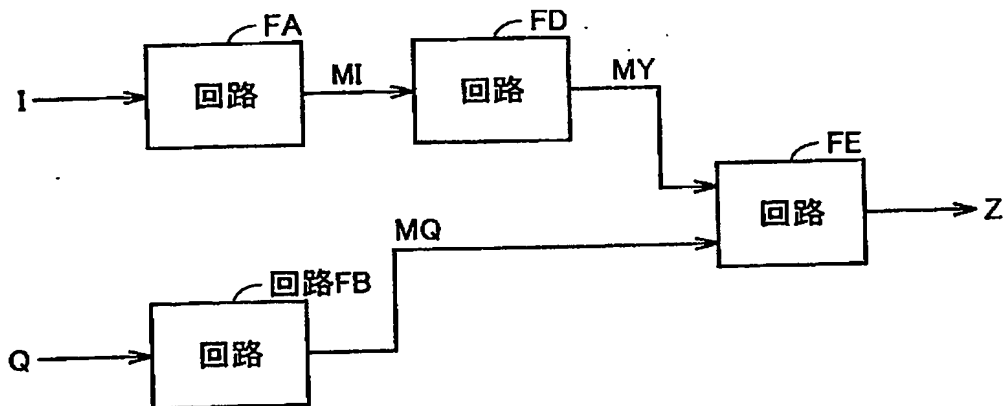
【図 8】



【図 9】

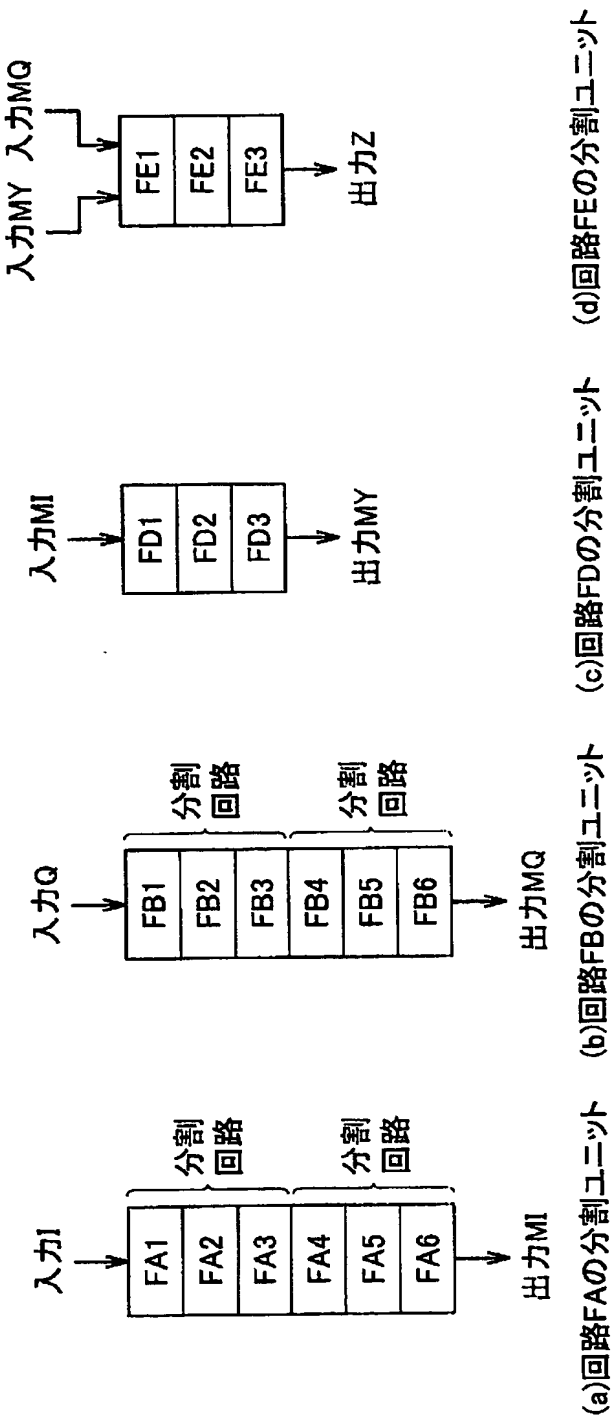


【図 10】

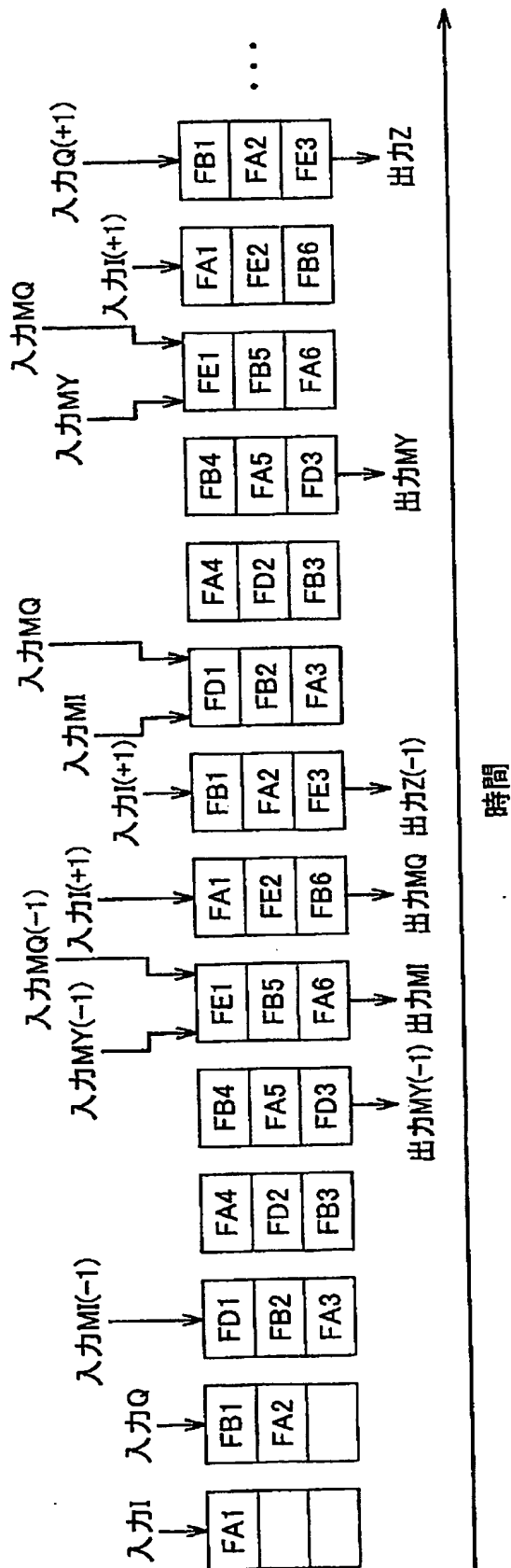




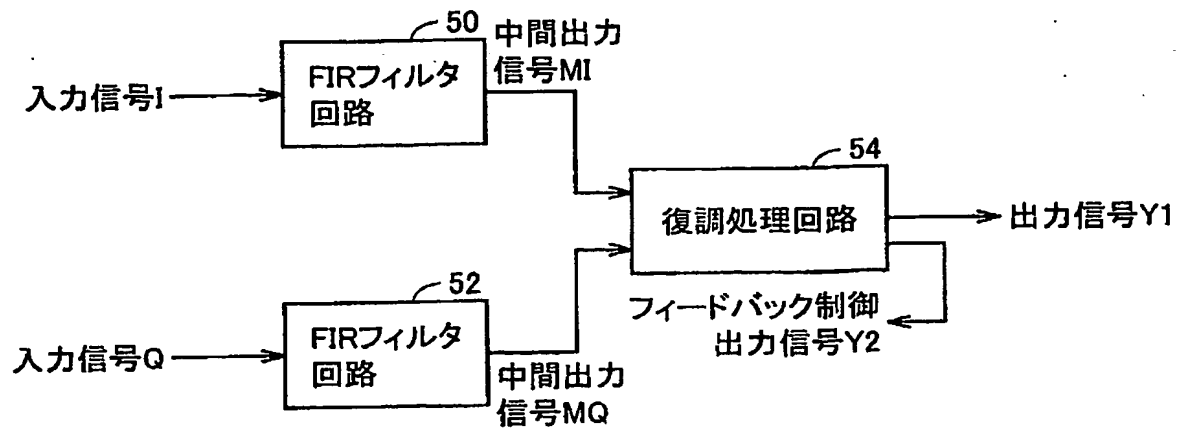
【図 11】



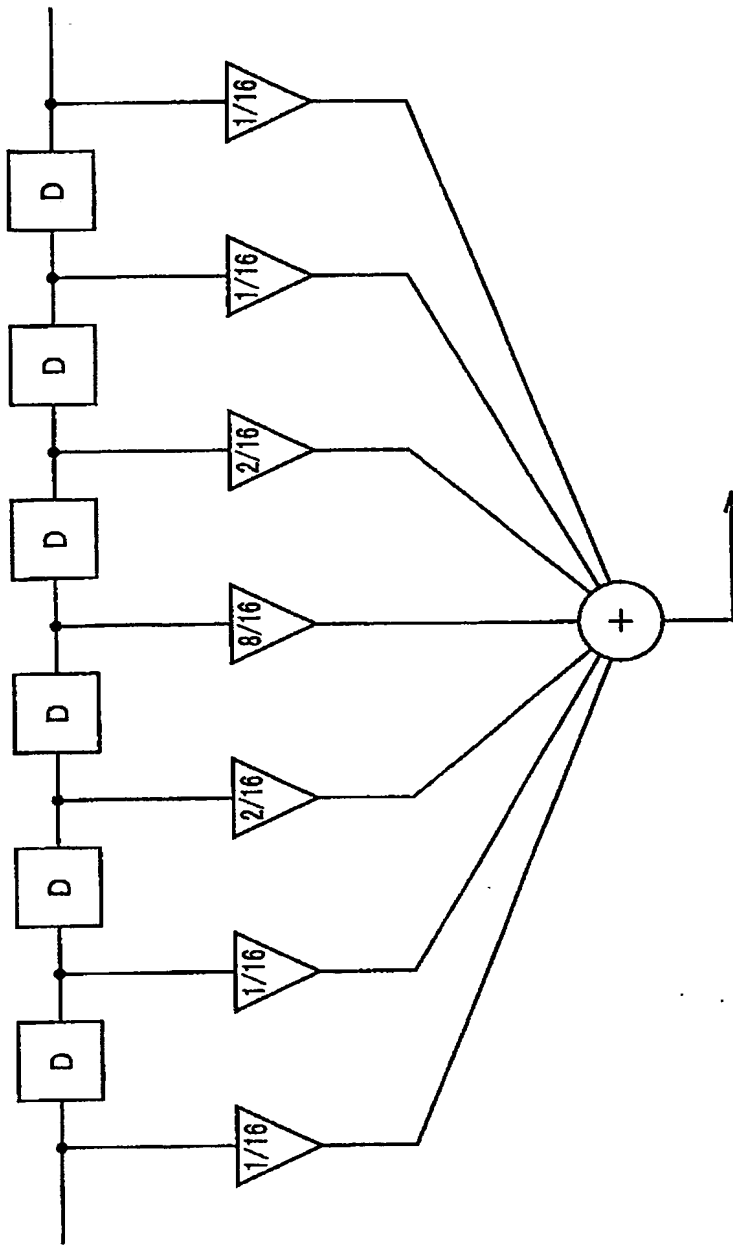
【図 12】



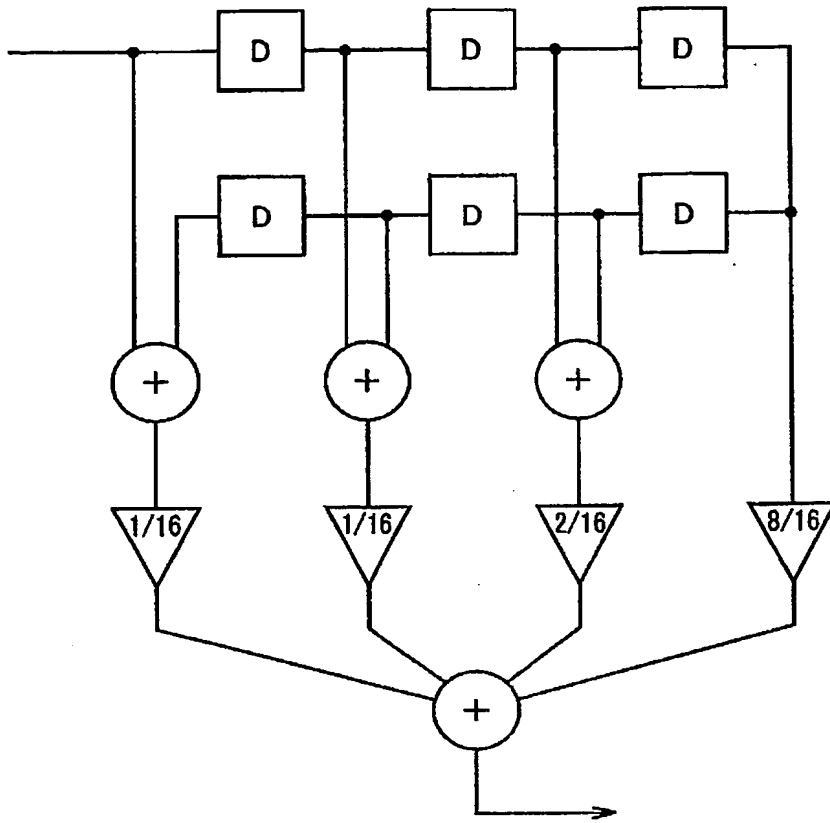
【図 13】



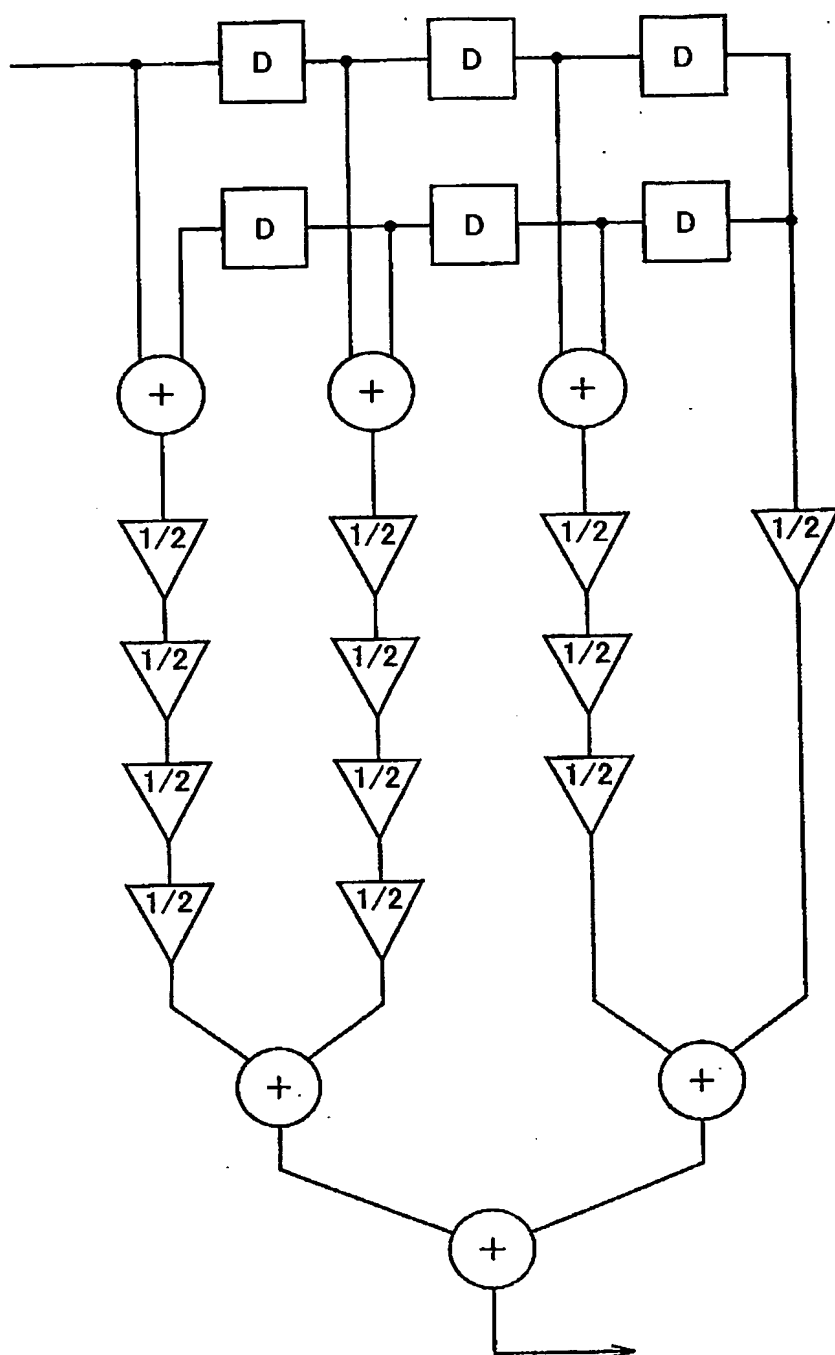
【図 14】



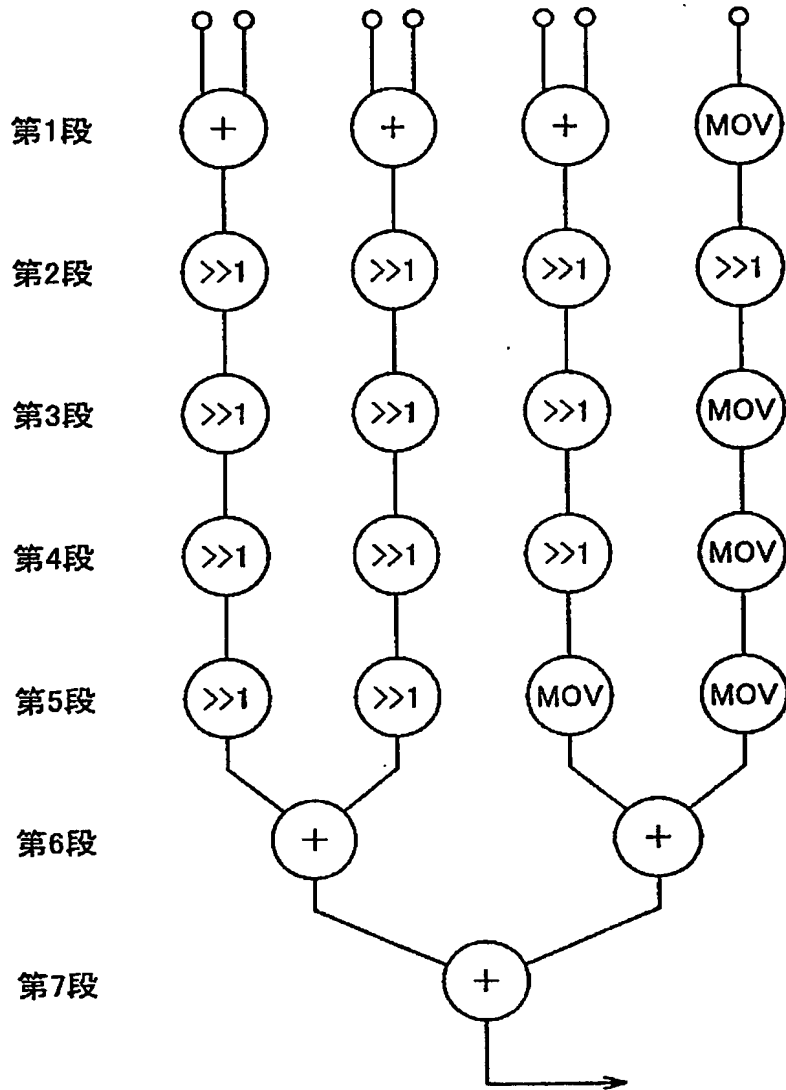
【図 15】



【図 16】

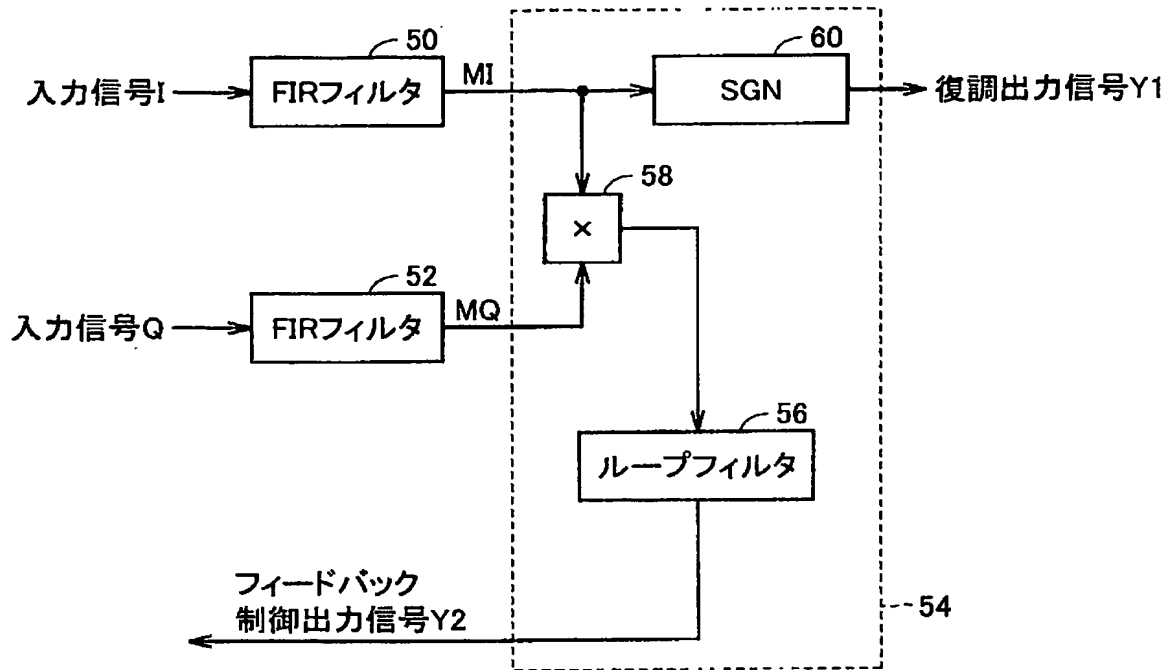


【図 17】

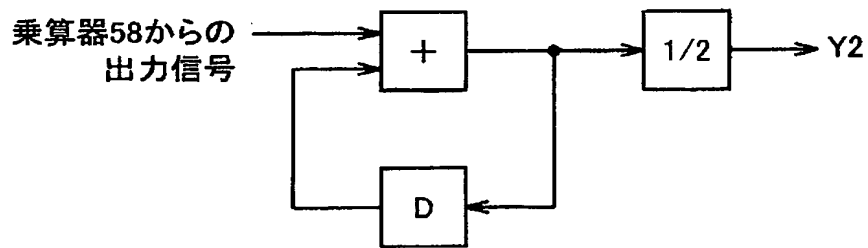


38a

【図 18】



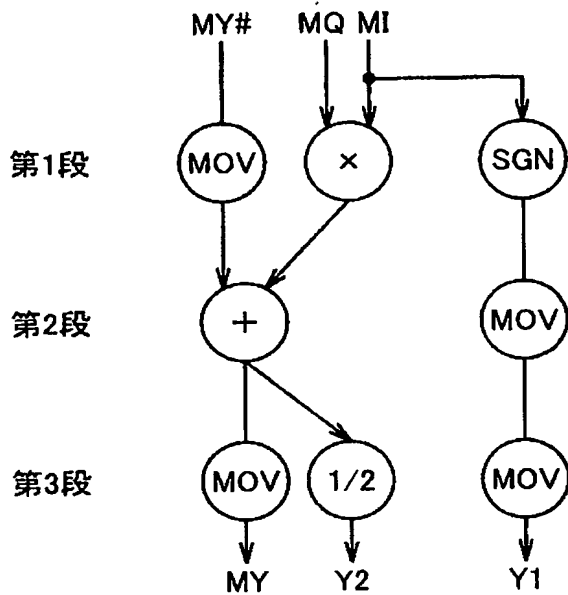
【図 19】



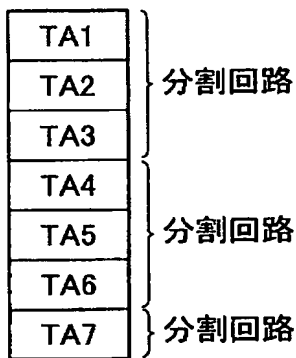


【図 20】

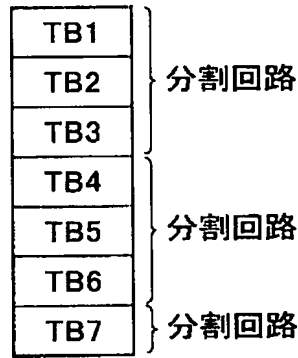
38b



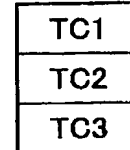
【図 21】



(a)FIRフィルタ50の  
分割ユニット

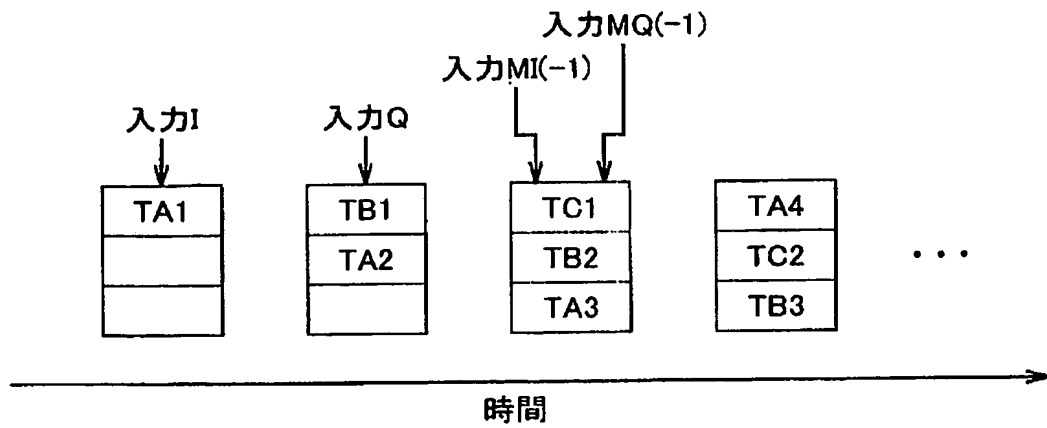


(b)FIRフィルタ52の  
分割ユニット

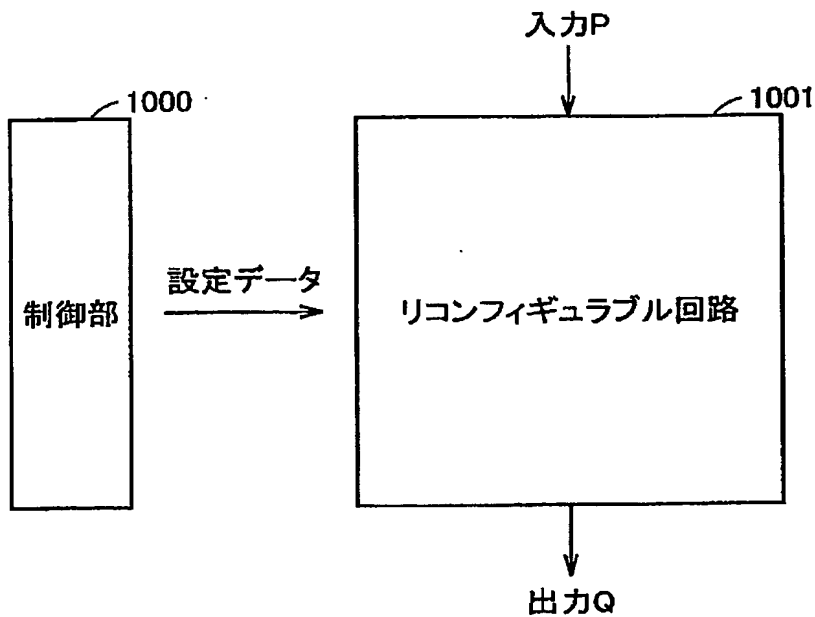


(c)復調処理回路54の  
分割ユニット

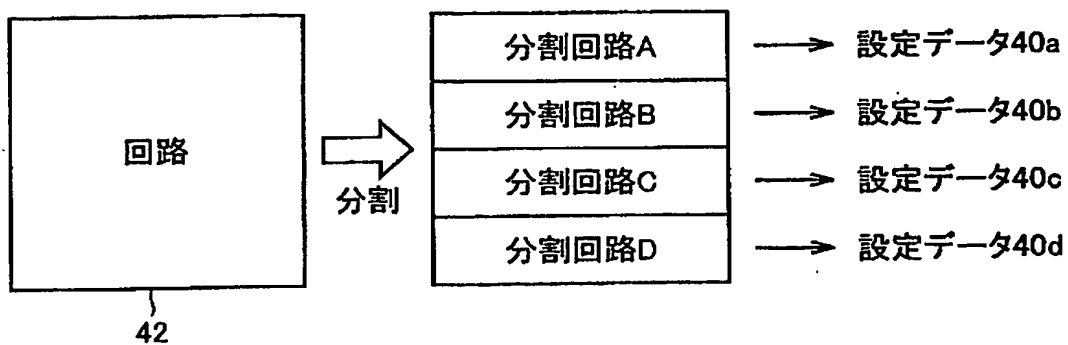
【図 2 2】



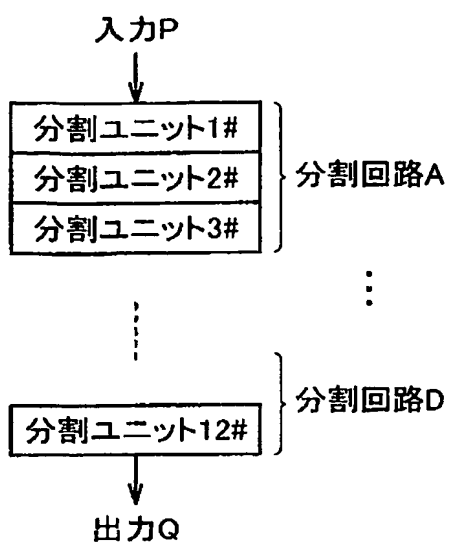
【図 2 3】



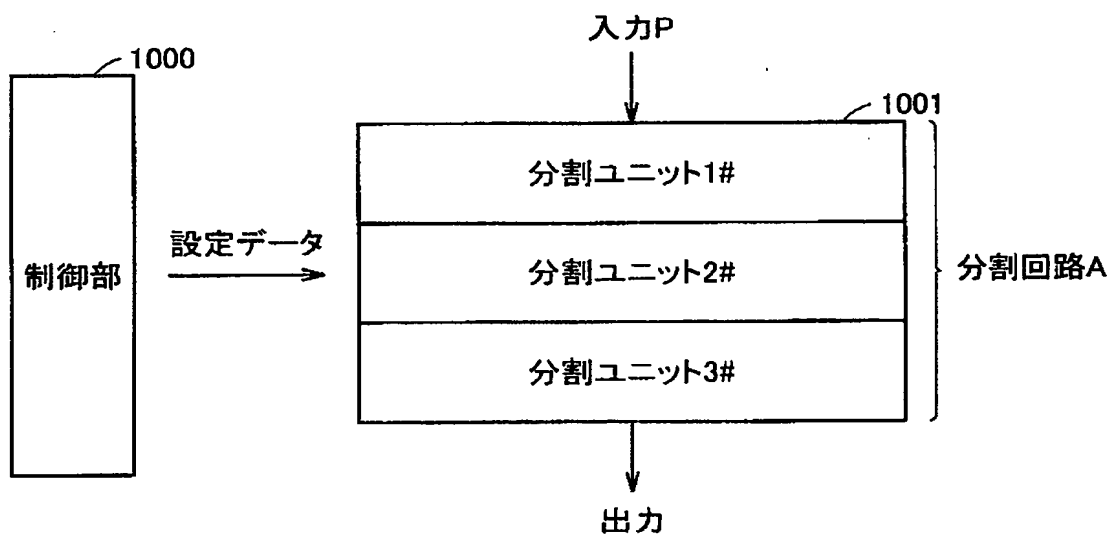
【図 2 4】



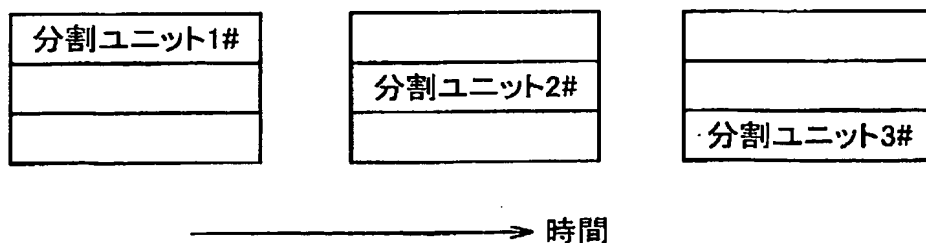
【図 2 5】



【図 2 6】



【図 2 7】



【書類名】 要約書

【要約】

【課題】 所期の回路の高速なマッピングを実現することが可能なリコンフィギュラブル回路を備えた処理装置を提供する。

【解決手段】 サイクル毎に、異なる回路の分割回路をリコンフィギュラブル回路 12 の各段に順番に処理の流れに従ってそれぞれ割りつける。本方式の如く、リコンフィギュラブル回路 12 の各段で、それぞれ別の回路をマッピングし、複数の演算処理を並列して実行することにより、高速なマッピングに伴う高速な所期の回路の構成すなわち高速な論理動作を実現することができる。

【選択図】 図 7

特願 2 0 0 3 - 3 6 2 2 1 6

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 8 8 9 ]

1. 変更年月日 1 9 9 3 年 1 0 月 2 0 日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通 2 丁目 5 番 5 号  
氏 名 三洋電機株式会社